



(19)

(11) Publication number:

03280437 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 02078905

(51) Int. Cl.: H01L 21/338 H01L 21/331 H01L 29/165
H01L 29/73 H01L 29/812

(22) Application date: 29.03.90

(30) Priority:

(43) Date of application
publication: 11.12.91(84) Designated
contracting states:

(71) Applicant: TOSHIBA CORP

(72) Inventor: NAKAGAWA AKIO

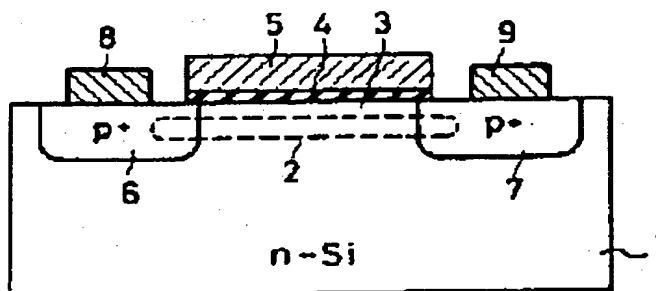
(74) Representative:

(54) SEMICONDUCTOR
DEVICE AND MANUFACTURE
THEREOF

(57) Abstract:

PURPOSE: To contrive an increase in the performance of a semiconductor device utilizing a heterojunction structure by a method wherein a channel region under a gate insulating film is constituted of an SiGe layer.

CONSTITUTION: The p⁺ source and drain diffused layers 6 and 7, which are isolated from each other, are formed in an n-type Si substrate 1 and a gate electrode 5 is formed on the substrate surface between the layers 6 and 7 via a gate insulating film 4. The film 4 is a thermal oxide film and the electrode 5 is a polycrystalline silicon film. An SiGe layer 2 is formed at a part, which is used as a channel region, under the film 4 by an ion implantation of Ge. A thin Si layer 3 is left on the layer 2. The layer 2 if formed in such a way that both ends intrude into the layers 6 and 7. As the layer 2 which is formed as the channel region if formed in the interior, which is positioned more inside than the interface between the film 4 and the substrate, of the substrate, a carrier mobility in the channel region is increased by a principle identical with that of an HEMT and high-performance field-effect element characteristics are obtained. As the Si substrate is used, a thin gate insulating film consisting of an oxide film of good quality can be formed by a thermal oxidation and an element having a high gm is obtained.



COPYRIGHT: (C)1991,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-280437

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)12月11日

H 01 L 21/338
21/331
29/165
29/73
29/812

8225-4M

7735-4M
8225-4M

H 01 L 29/80
29/72

B

審査請求 未請求 請求項の数 3 (全5頁)

⑮ 発明の名称 半導体装置およびその製造方法

⑯ 特 願 平2-78905

⑰ 出 願 平2(1990)3月29日

⑱ 発 明 者 中 川 明 夫 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 鈴 江 武 彦 外3名

明 細 書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

(1) Si基板に互いに離隔して形成されたソース、ドレイン拡散層と、これらソース、ドレイン拡散層間の基板表面にゲート絶縁膜を介して形成されたゲート電極とを有する半導体装置において、前記ゲート絶縁膜下のチャネル領域がSiGe層により構成されていることを特徴とする半導体装置。

(2) 前記SiGe層からなるチャネル領域が基板表面より内部に形成されていることを特徴とする請求項1記載の半導体装置。

(3) 第1導電型のコレクタ層が形成されたSi基板の表面部に第2導電型のベース層および第1導電型のエミッタ層を有する半導体装置を製造する方法であって、前記ベース層をGeのイオン注入によりSiGe層とする工程を有することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

【発明の目的】

(産業上の利用分野)

本発明は、ヘテロ接合構造を利用した半導体装置とその製造方法に関する。

(従来の技術)

ヘテロ接合を利用した高速動作可能な電界効果型半導体素子として、HEMTが知られている。これは、GaAs/GaAlAs系を用いて、チャネル層となるアンドープのGaAs層に二次元電子ガス状態を形成することにより、高速動作を実現したものである。すなわちGaAs系材料の高電子移動度という特性に加えて、アンドープのGaAs層をチャネルとすることにより更に電子移動度を高くして、高速動作を可能としている。

しかしながらこの材料系では、SiのMOSFETにおけるような良質のゲート絶縁膜が得られず、絶縁ゲート構造とすることができない。このため十分に高い相互コンダクタンス g_m を持つ素子を得ることができない、という欠点がある。

あった。

(発明が解決しようとする課題)

以上のようにGaAs/GaAlAs系材料を用いた電界効果型素子は、絶縁ゲート構造とすることができないことが、更なる高性能化の障害になっていた。

本発明はこの様な点に鑑み、ヘテロ接合構造を利用して高性能化を図った絶縁ゲート構造の半導体装置を提供することを目的とする。

本発明はまた、ヘテロ接合構造を利用したバイポーラ型の半導体装置の製造方法を提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

本発明は、Si基板に互いに離隔して形成されたソース、ドレイン拡散層と、これらソース、ドレイン拡散層間の基板表面にゲート絶縁膜を介して形成されたゲート電極とを有する半導体装置において、前記ゲート絶縁膜下のチャネル領域がSiGe層により構成されていることを特徴とす

てSiGe層からなるベース層を形成することにより、簡単に高性能のヘテロ接合バイポーラ素子を得ることができる。

(実施例)

以下、本発明の実施例を図面を参照して説明する。

第1図は一実施例のpチャネルMOSFETである。n型Si基板1に互いに離隔したp⁺型ソース、ドレイン拡散層6、7が形成され、これらソース、ドレイン拡散層6、7間の基板表面にゲート絶縁膜4を介してゲート電極5が形成されている。ゲート絶縁膜4は熱酸化膜であり、ゲート電極5は多結晶シリコン膜である。ゲート絶縁膜4下のチャネル領域となる部分には、Geのイオン注入によりSiGe層2が形成されている。この実施例では、SiGe層2の上に薄いSi層3が残されている。SiGe層2は、その両端がソース、ドレイン拡散層6、7まで入り込むように形成されている。ソース、ドレイン拡散層6、7にはそれぞれAl膜等によりソース、ドレイン

る。

本発明はまた、第1導電型のコレクタ層が形成されたSi基板の表面部に第2導電型のベース層および第1導電型のエミッタ層を有する半導体装置を製造する方法であって、前記ベース層をGeのイオン注入によりSiGe層とする工程を有することを特徴とする。

(作用)

本発明による電界効果型半導体素子は、Si基板を用い、チャネル領域はこれよりバンドギャップの狭いSiGe層により構成される。このため、チャネル領域となるSiGe層をゲート絶縁膜界面より基板内部に形成すれば、HEMTと同様の原理によって、チャネル領域でのキャリア移動度が高いものとなり、高性能の電界効果型素子特性が得られる。またSi基板を用いているから熱酸化によって良質の酸化膜からなる薄いゲート絶縁膜を形成する事ができ、したがってg_mの高い素子が得られる。

また本発明の方法によれば、イオン注入によっ

て電極8、9が形成されている。

このMOSFETの素子形成工程は、次の通りである。まず基板1の素子形成領域にイオン注入のバッファ層となる熱酸化膜を形成してGeのイオン注入を行い、基板表面から所定深さ位置にチャネル領域となるSiGe層2を形成する。Geのイオン注入量は、格子不整合を小さくするために制限することが必要であり、例えばSiGe層2のGe濃度が10%以下となるようにする。ついで熱酸化膜を除去し、改めて熱酸化により所定厚みのゲート絶縁膜4を形成し、この上に多結晶シリコン膜を堆積してパターンニングすることによりゲート電極5を形成する。そしてゲート電極5をマスクとしてイオン注入を行なって、ソース、ドレイン拡散層6、7を形成する。その後図では省略したが全面をCVD絶縁膜で覆い、これにコンタクト孔を開けて、ソース、ドレイン電極8、9を形成する。

このように形成されたMOSFETのゲート電極5に負の電圧を印加すると、ゲート絶縁膜4下

のSi層およびSiGe層2は空乏化し、バンドギャップの狭いSiGe層2にはソース拡散層6から正孔が入り込んで、ここがチャネルとなる。このチャネル領域を走行する正孔は、その上にSi層3があるためにこれがバリアとなってゲート絶縁膜4との衝突がない。このため高い移動度が得られ、その結果高速動作が可能になる。またゲート絶縁膜4にはSiの熱酸化により形成される良質の薄い酸化膜を用いるから、高い g_m が得られる。

またこの実施例においては、SiGe層2がソース、ドレイン拡散層6、7間を完全に横切って形成されているため、ソース拡散層6からチャネルへのキャリア注入には障壁がない。これも素子特性を良好なものとしている。

この実施例において、SiGe層2は、ゲート電極5からの電界の及ぶ範囲の浅い領域に形成される必要がある。これは、ゲート絶縁膜4の絶縁耐圧から決まる。ゲート絶縁膜4内で許容される最大電界 E_{max} を用いると、基板1内での最

大電界 E_M は、

$$E_M = (\epsilon_{SiO_2} / \epsilon_{Si}) E_{max}$$

となる。ここで、 ϵ_{SiO_2} 、 ϵ_{Si} はそれぞれ、ゲート絶縁膜(SiO₂)、Siの誘電率である。これから、ゲート電極5に電圧を印加して空乏化できるチャージ量は、 $\epsilon_{Si} \cdot E_M$ となり、この量はおおよそ $1 \times 10^{11} \text{cm}^{-2}$ である。したがって、ゲート絶縁膜界面からSiGe層2の中まで含めた範囲での不純物濃度の積分量が、 $1 \times 10^{11} \text{cm}^{-2}$ 以下となるように、基板の不純物濃度とSiGe層2の深さを決めることが好ましい。

第2図～第4図は、本発明の他の実施例のpチャネルMOSFETである。これらの実施例において第1図と対応する部分には第1図と同一符号を付して詳細な説明は省略する。

第2図の実施例は、チャネル領域となるSiGe層2をイオン注入ではなく、エピタキシャル成長により形成したものである。SiGe層2の上には更に薄くSi層3をエピタキシャル成長させている。構造的には第1図の実施例と等価

である。したがって第1図のMOSFETと同様に優れた素子特性が得られる。この実施例の場合、チャネル領域となるSiGe層2をアンドープ層とすることができる。したがってチャネル領域のキャリア移動度をより高いものとして、一層優れた素子特性を得ることができる。また、SiGe層2上のSi層3は、p型に限らずn型であっても良い。要するに動作範囲のゲート電圧が印加された状態でSi層3が空乏化して、SiGe層2がチャネルとして機能すればよい。これは所謂埋込みチャネルMOSFETの原理と同じである。

第3図は、SiGe層2がゲート絶縁膜4の直下に形成された実施例である。SiGe層2の表面にも熱酸化によって良質のゲート絶縁膜4を形成することができる。この実施例では、SiGe層2の上にSi層が残っていないため、先の各実施例に比べてより高い利得が得られる。この実施例において、SiGe層2を走行するキャリアがゲート絶縁膜4と衝突しないようにするためには、SiGe層2の下Siとの界面にチャネルがで

きるように設計することが必要である。

第4図の実施例は、ソース、ドレイン拡散層6、7の領域にもGeのイオン注入によってSiGe層10、11を形成したものである。この様にSiGe層10、11内にソース、ドレイン拡散層6、7を形成すると、ソース、ドレイン接合でのリーク電流が小さくなる。また素子を微細化した時のドレイン近傍での高電界によるゲート絶縁膜へのホットキャリア注入という現象が抑制される。

以上ではpチャネルMOSFETを説明したが、本発明はnチャネルMOSFETにも同様に適用することが可能である。またSiへのGeのイオン注入によってヘテロ接合を形成する技術は、バイポーラ素子にも適用できる。

第5図はバイポーラ素子に適用した実施例を示す。その製造工程を説明すると、p型Si基板31に先ず、n⁺型のコレクタ埋込み層32を形成した後、コレクタ層となるn⁻型層33をエピタキシャル成長させる。次にボロンのイオン注入

によって、基板に達する p^+ 型素子分離層39および、 p^+ 型外部ベース層37をそれぞれ形成し、リンのイオン注入によって n^+ 型埋込み層32に達する n^+ 型コレクタ取出し層38を形成する。その後外部ベース層37により囲まれた領域に、Geとボロンの同時イオン注入によって、 p 型のSiGeからなる内部ベース層34を形成する。この内部ベース層34を形成する際のアニールは、ボロンがSiGe層から外に拡散しないように、低温でかつ十分ボロンが活性化される温度、例えば500~800℃で行う。或いは高温でごく短時間のアニールによってもよい。その後多結晶シリコン・エミッタ電極35を形成し、これからの不純物拡散を利用して n 型エミッタ層36を形成する。最後にベース電極40およびコレクタ電極41を形成して完成する。

こうしてこの実施例によれば、内部ベース領域へのGeのイオン注入を利用して、簡単にSi/SiGeヘテロ接合を持つバイポーラトランジスタを得ることができる。

内部ベース層(SiGe層)、35…多結晶シリコン・エミッタ電極、36… n 型エミッタ層、37… p^+ 型外部ベース層、38… n^+ 型コレクタ取出し層、39… p^+ 型素子分離層、40…ベース電極、41…コレクタ電極。

【発明の効果】

以上述べたように本発明によれば、Si/SiGeヘテロ接合構造と絶縁ゲート構造を持つ優れた特性の電界効果型素子を得ることができる。

また本発明によれば、Si/SiGeヘテロ接合を持つバイポーラ素子をGeのイオン注入を利用して簡単に形成することができる。

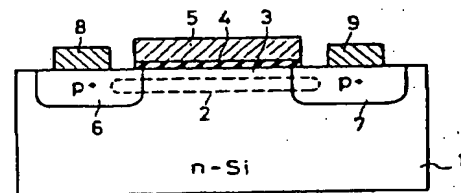
4. 図面の簡単な説明

第1図は本発明の一実施例の p チャネルMOSFETを示す図、

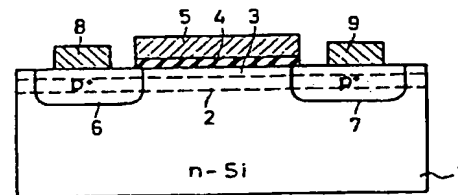
第2図~第4図は他の実施例の p チャネルMOSFETを示す図、

第5図はさらに他の実施例のバイポーラ素子を示す図である。

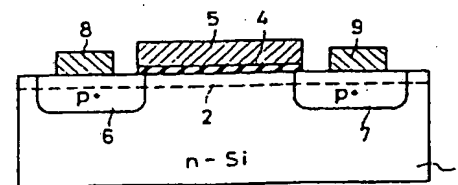
1… n 型Si基板、2…SiGe層(チャネル領域)、3…Si層、4…ゲート絶縁膜、5…ゲート電極、6, 7…ソース、ドレイン拡散層、8, 9…ソース、ドレイン電極、10, 11…SiGe層、31… p 型Si基板、32… n^+ 型コレクタ埋込み層、33… n^+ 型層、34… p 型



第1図

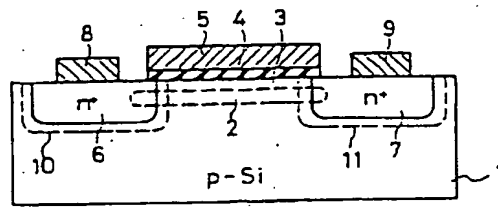


第2図

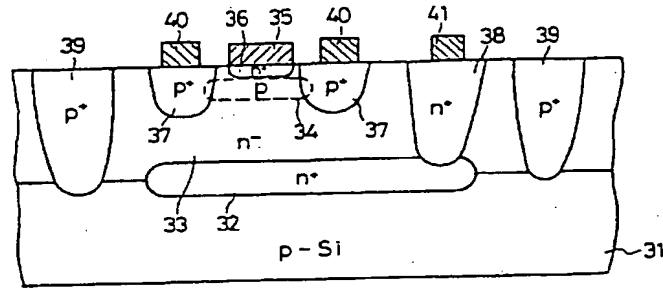


第3図

出願人代理人 弁理士 鈴江武彦



第 4 図



第 5 図